

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑩日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A)

平4-98864

⑬Int.Cl.³

H 01 L 23/50

識別記号

府内整理番号

Y 9054-4M

⑭公開 平成4年(1992)3月31日

審査請求 未請求 請求項の数 1 (全3頁)

⑮発明の名称 樹脂封止型半導体装置

⑯登録番号 平2-216146

⑰出願日 平2(1990)8月16日

⑱発明者 高崎 由佳子 熊本県熊本市八幡町100番地 九州日本電気株式会社内

⑲出願人 九州日本電気株式会社 熊本県熊本市八幡町100番地

⑳代理人 弁理士 内原 誠

明細書

発明の名称

樹脂封止型半導体装置

特許請求の範囲

半導体チップを含んで対止した樹脂体と、前記半導体チップと電気的に接続して前記樹脂体の外部に露出した外部リードとを有する樹脂封止型半導体装置において、前記外部リードの周囲より開き合う外部リードへ向けて突出した支持部と、開き合う前記支持部の間に介在させて開き合う支持部を互に連結する絶縁体とを備えたことを特徴とする樹脂封止型半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明は樹脂封止型半導体装置に関する。

(従来の技術)

従来の樹脂封止型半導体装置は、第5図及び第

6図に示すように、アイランド1の周囲に配置して設けた内部リード2と、内部リード2に接続して樹脂封止領域3の外側に設けた外部リード4と、開き合う外部リード4の相互間を接続して支持するタイバー5とを有してリードフレームを構成し、アイランド1の上に半導体チップを搭載して樹脂体8で封止し、外部リード4をリードフレームから切離し、タイバー5を切离し、外部リード4を疊層して半導体装置を形成する。

(発明が解決しようとする課題)

上述した従来の樹脂封止型半導体装置は、外部リードが樹脂体より平行に矢張り独立して露出されているので、外部リードが曲がる等の変形を生じ実装時に半田付の信頼性が低下するという欠点がある。

(課題を解決するための手段)

本発明の樹脂封止型半導体装置は、半導体チップを含んで対止した樹脂体と、前記半導体チップと電気的に接続して前記樹脂体の外部に露出した外部リードとを有する樹脂封止型半導体装置にお

いて、前記外部リードの開口より開合う外部リードへ向けて突出した支持部と、開合う前記支持部の間に介在させて開合う支持部を互に連結する絶縁体とを備えている。

(實其例)

次に、本発明について図面を参照して説明する。

第1図及び第2図は本発明の第1の実施例を説明するためのリードフレームの平面図及び半導体装置の断面図である。

第1図に示すように、アイランド1の周囲に配置して設けた内部リード2と、内部リード2と接続して樹脂封止領域3の外側に設けた外部リード4と、樹脂封止領域3の近傍に設けて外部リード4の相互面を接続して支持するタイバー5と、樹脂封止領域3より離れた位置の外部リード4の周面より用合う外部リードへ向けて突出し、且つ先端が互に入り組むように凸部と凹部に形成された支持部6と、隣接する支持部6の間に介在させて支持部6を互に連結する絶縁体7とを有してリー

う外部リード相互間を遮断することにより、外部からの電場によるリード変形の防止、及び実験時の半田付けの信頼性を向上させるという効果を有する。

図面の簡単な説明

第1図及び第2図は本発明の第1の実施例を説明するためのリードフレームの平図図及び半導体装置の側面図、第3図及び第4図は本発明の第2の実施例を説明するためのリードフレームの平図図及び半導体装置の側面図、第5図及び第6図は従来のリードフレームの一例を示す平図図及び半導体装置の側面図である。

1…アイランド、2…内部リード、3…密露封
止領域、4…外部リード、5…タイバー、6…支
持部、7…絶縁体、8…箇脚体。

ドフレームが構成される。

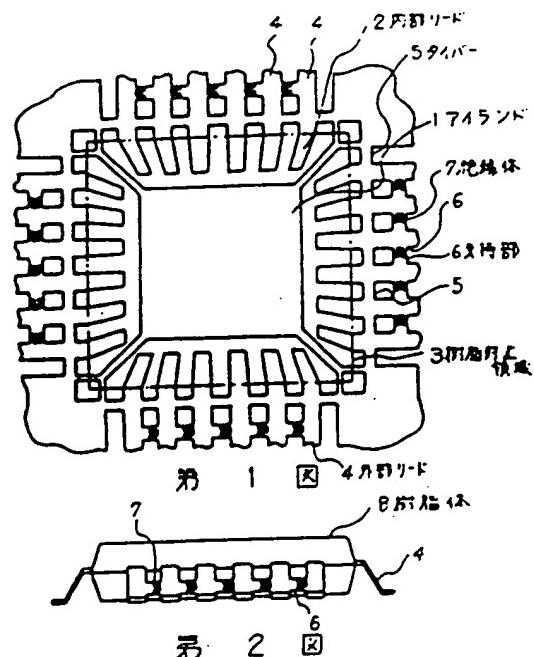
次に、第2図に示すようにアイランド上に半導体チップ（図示せず）を搭載し、半導体チップと内部リード間を電気的に接続し、半導体8により回路封止領域内を封止し、リードフレームより外部リード4及びタイバーを切離し、外部リード4を露出して半導体装置を構成する。

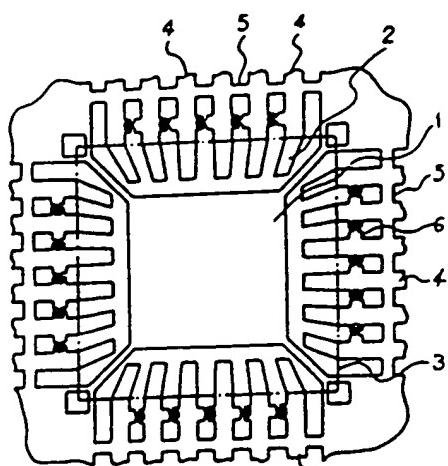
第3図及び第4図は本発明の第2の実施例を説明するためのリードフレームの平面図及び半導体装置の断面図である。

第3図及び第4図に示すように、開口部外観リード4の側面に設けた支持部6が断面封止構成3の近傍に設けられ、タイバー5が支持部6の外側に設けられている以外は第1の実験例と同様の構成を有しており、支持部6を通じる地盤体7を断面封止工程と同時に形成でき、製造工程を簡略化できる効果を有する。

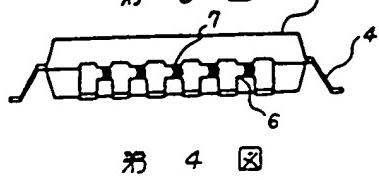
(発明の効果)

以上説明したように本発明は、外部リードの端間に設けた支持部の間に絶縁体を介在させて陽極

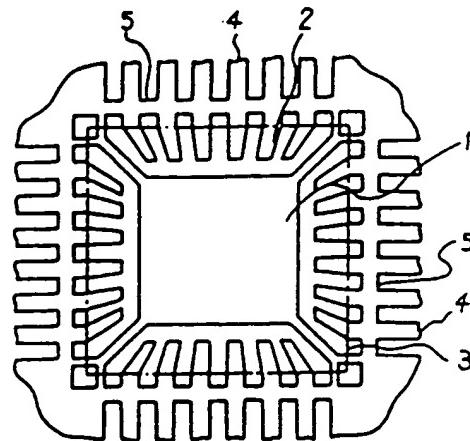




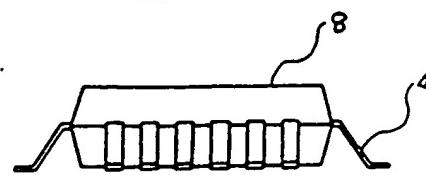
第3図



第4図



第5図



第6図

CLIPPEDIMAGE= JP401106456A
PAT-NO: JP401106456A
DOCUMENT-IDENTIFIER: JP 01106456 A
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: April 24, 1989

INVENTOR-INFORMATION:

NAME
KURODA, HIROSHI
TAKASE, YOSHIHISA

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP62263435

APPL-DATE: October 19, 1987

INT-CL (IPC): H01L023/50; H01L023/28

US-CL-CURRENT: 257/666, 257/787

ABSTRACT:

PURPOSE: To make an electrode terminal not to come off due to external force and thermal strain by providing the end surface of a lead frame substrate with a stair part having more than one step and performing molding with sealing resin in a shape of covering the stair part.

CONSTITUTION: An IC chip 16 is mounted on the other main surface 14 of a die pad 11, and a pad of the IC chip and the other main surface 14 of an electrode terminal 12 are bonded with a wire 17 so as to be continuously molded with sealing resin 18 on the almost level with one main surface 13 by a transfer method so that the electrode terminal and the main surface 13 of the die pad 11 may be exposed. At this time, a stair part 15 provided on a lead frame 20 is also covered with sealing resin 18. Thereby, a reinforcing bar 19 exposed to an end surface of sealing resin 18 is also of the same projection type so as to have very strong structure against coming-off even to external force.

① 日本国特許庁 (JP) ② 特許出願
 ③ 公開特許公報 (A) 平1-10

④ Int.Cl.
 H 01 L 23/50
 23/28

識別記号 市内整理番号
 G-7735-5F
 A-6835-5F

⑤ 公開 平成1年(1999)
 審査請求 未請求 発明の数 1

⑥ 発明の名称 半導体集積回路装置

⑦ 特開 昭62-263435

⑧ 出願 昭62(1987)10月19日

⑨ 発明者 黒田 啓 大阪府門真市大字門真1005番地 松下電器産業
 ⑩ 発明者 高瀬 善久 大阪府門真市大字門真1005番地 松下電器産業
 ⑪ 出願人 松下電器産業株式会社 大阪府門真市大字門真1005番地
 ⑫ 代理人 弁理士 中尾・飯男 外1名

明 詳 紹

1、発明の名称

半導体集積回路装置

2、特許請求の範囲

複数の電極端子を有するリードフレームの一主面の断面が、他の主面より狭く、このリードフレームの断面形状は少なくとも2段以上の段差を持つ段差部を有するものであり、半導体集積回路は他の主面にマウントされ、少なくとも電極端子の一主面を露出した形で一主面とはほぼ平垣に封止樹脂が形成されている半導体集積回路装置。

3、発明の詳細な説明

産業上の利用分野

本発明は半導体集積回路をパッケージした半導体集積回路装置に関するものである。

従来の技術

ポータブルな情報ファイルとしてのICカードはカードの一面上にメモリ、マイクロプロセッサを有する半導体集積回路装置を埋込んで、リードフレームを介して情報を書き込み、読み出し、消去

する演算機能を持っているが、ICの規格カード厚みは最大0.84ミリとされており半導体集積回路装置は更に薄くしかも厚み強く要求される。

最初半導体集積回路装置の基板はガラスシートを基体とする両面基板が主流であったがエポキシ基板ではICカード用半導体集積回路装置に要求する厚み規格を十分に満足させではなかった。

そこでガラスエポキシ基板の代りに厚みよく半導体集積回路装置の既厚の厚み規格をせられるリードフレームを基板とするIC用半導体集積回路装置が提案された。このカード用半導体集積回路装置の構造を以下に説明する。

複数本の電極端子1とダイパッド2を有するリードフレーム8の上記ダイパッド2にIC3(図示せず)がマウントされ、上記IC3チップ3の背面(図示せず)と上記電極端子1がワイヤーバンドで接続されており、少なくとも上記電極端子1の一

りを露出した形で、しかも上記一主面⑥とほぼ平坦に封止樹脂⑧がトランスクット成形法により成形された構造となっている。

ところが上記電極端子①の上記一主面⑥は外部に露出し、上記電極端子①の薄い側面を含む片面しか上記封止樹脂⑧を被覆していない。通常トランスクット成形法では形する上記封止樹脂⑧中には成形金型との離形性をよくするために、離形剤が入れられていることから、当然上記電極端子①と上記封止樹脂⑧との密着性は低いものではない。この問題点を解決する方法として、上記封止樹脂⑧と被覆する他の主面⑦を粗面化したり、上記電極端子①の一主面⑥の面積を他の主面⑦の面積より狭くして(エッジにテープをつけ合形形状とする)密着性の向上を図っている。

発明が解決しようとする問題点

このような半導体集積回路装置に用いるリードフレーム⑨の厚みは、半導体集積回路装置に認厚の制限があることから0.15ミリ以下が通常用いられる。ところが封止樹脂⑧とリードフレーム⑨

なる。この状態でカード化しカードの携帯中あるいは使用中に何らかの異物が切断面にできたバリ、あるいは電極端子自体にひっかかり電極端子をはがしてしまう可能性がある。このように電極端子がはがれたり、変形するとICカードとしての機能が全く失なわれることになる。

本発明は上記問題点を踏み、外的な力、熱ひずみ等に対しても電極端子がはがれて使用不能にならないようリードフレームの構造を提供するものである。

問題点を解決するための手段

そして上記問題点を解決する本発明の技術的手段は、リードフレームの一主面の面積を他の主面より狭くし断面形状を凸型として一主面とほぼ平坦に封止樹脂を圧迫し、リードフレームの側面を所定の距離、厚さでほぼ全辺にわたって封止樹脂で覆うように構成したものである。

作用

この構成により電極端子のほぼ全辺が封止樹脂でシールされていることから、電極端子を剥す外因

の他の主面⑦との密着性を強化するため、リードフレーム⑨の断面をテーパ加工し、わずかに封止樹脂⑧でリードフレーム⑨を覆う形としているが、リードフレーム⑨の厚みが0.15ミリと非常に薄いため、封止樹脂⑧でリードフレーム⑨の端面を一部覆う形とした場合でもせいぜい厚味分の0.15ミリ程度しか覆うことができず、端面にテーパをつけても封止樹脂⑧に対するリードフレーム⑨の密着強度を著しく向上させることはできなかった。また前に述べたが封止樹脂⑧には離形剤が入っているため、リードフレーム⑨との密着性が悪く、例えば熱衝撃試験を行った時に発生する熱的ひずみによりリードフレーム⑨が剥れる可能性も生じてくる。更にトランスクット成形法リードフレーム⑨の補強バーを封止樹脂⑧の端面に沿ってほぼ平坦に金型にて切断して個片の半導体集積回路装置にするわけであるが、補強バーの切断面は金型で切断する際、わずかなバリが発生することと、完全に封止樹脂⑧の端面と平坦にすることは不可能で、わずかに切断面が突き出る形と

からの力が加わらず、また熱衝撃試験等による熱ひずみに対しても電極端子が剥れることがないため信頼性の高い半導体集積回路装置を作ることが可能となる。

実施例

以下本発明の一実施例について図面を用いながら説明する。第2図⑩、11は本発明に用いたリードフレームの構造を示す。第2図⑩は上面図、第2図11は⑩を示す断面図である。ダイバット11、複数本の電極端子12で構成されており、上記ダイバット11及び上記電極端子12の外部に露出する一主面13の面積は他の主面14より狭く、少なくとも封止樹脂で覆われる部分のリードフレーム20の断面は凸型の段差部16が設けられている。ちなみにリードフレーム20の肉厚が0.15ミリの場合上記段差部16の厚は0.5ミリ、Dは0.1ミリとした。上記段差部16の断面形状は段差が1段のみならず複数段形成されてもかまわない。以上はダイバット11が複数本の電極端子12の少なくとも1本と接続されてい

る構造のリードフレームである。このリードフレーム20の作製方法は一実施例として、まずプレス機でストレートにパンチングした後抜いて別の金型を用い同じくプレス後にエリードフレーム20の端面のみをプレスし所定の量だけ収差部15を作った。他の方針としてエッティングによる方法でも同様の収差部15を作ることは可能である。以上の説明はICチップを搭載するダイパッド11を有するリードフレーム20であるが、ダイパッド11のない電極端子12のみのリードフレームでもかまわない。

以上述べた段付きリードフレーム20を用いた半導体集積回路装置の製造プロセスを第3図a～cに示す。これは第2図のA-A'の断面を表わすものである。ダイパッド11の他の主面14にICチップ16をマウントし、上記ICチップ16のパッド(図示せず)と上記電極端子12の他の主面14をワイヤ17で接続し(第3図a)、既にトランシスタ法にて上記電極端子12、及びダイパッド11の一主面13を露出させると

のではなく、パンプを利用したフリップチップボンディング方式でもかまわない。また同時にリードフレーム20の他の主面側をエッティング、アンドラストメッキ等で粗面化処理が施こされていても良い。更にダイパッド11が無くICチップ16が電極端子12にかかるようリードフレーム20を用いる場合はICチップ16をマウントするダイゲンド倒脚は絶縁性であることはいうまでもない。

発明の効果

本発明の半導体集積回路装置はリードフレーム基板の端面に1段以上の収差部を設け、収差部を覆う形で封止樹脂にて成形しているため、外的な力にも電極端子は剥れにくく、熱衝撃試験等の際ひずみに対しても、電極端子ははがれないことから、信頼性の高いものを得ることが可能となる。

4. 図面の簡単な説明

第1図は本発明の半導体集積回路装置の一実施例における電極端子部の拡大俯視図、第2図a～cは本発明に用いたリードフレームの構造を示す

とく、上記一実施例とは平行に封止樹脂18で成形する(第3図b)。この時リードフレーム20に設けられた収差部15は上記封止樹脂18で覆われる形となる。更に金型を用いて上記封止樹脂18の端面に沿って補強バー19を切断して個片の半導体集積回路装置とする(第3図c)。以上のべた半導体集積回路装置の電極端子部の拡大図を第1図に示す。この第1図によれば電極端子12の一主面と封止樹脂18はほぼ平坦に成形されており、封止樹脂18に埋め込んだ電極端子12の一部は、露出している一主面より広がっている構造となっている。このことは、電極端子12の端面に形成されている収差部15を完全に封止樹脂18が覆っていることになり、封止樹脂18の端面に露出している補強バー19も同様の凸型であることから外的な力に対しても非常に剥れに強い構造となっている。

以上述べてきた実施例の中でICチップ16のパッドと電極端子12の接続にワイヤ17を用いているが、ワイヤーボンディング法に限定するも

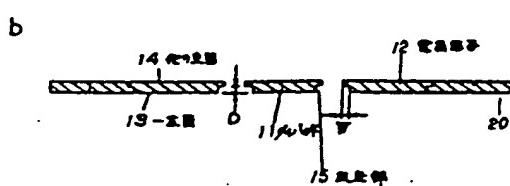
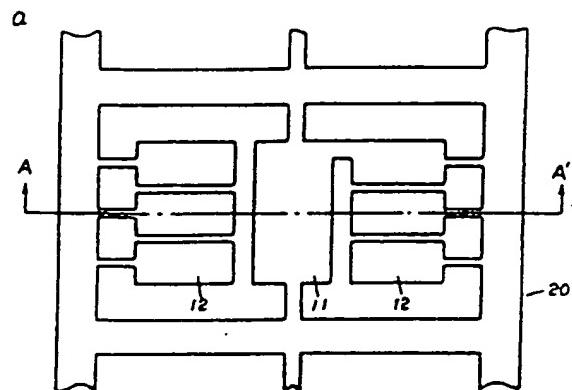
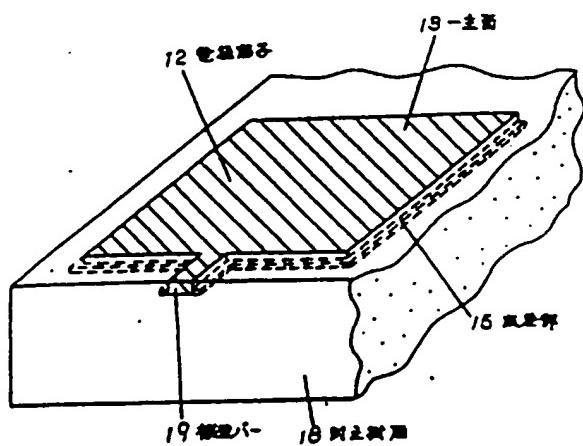
上面図と断面図、第3図a～cは本発明の半導体集積回路装置の製造フローを示す断面図、第4図は従来のリードフレームを用いた半導体集積回路装置の構造を示す断面図である。

12……電極端子、13……一主面、14……他の主面、15……収差部、16……ICチップ、17……ワイヤ、18……封止樹脂、19……補強バー、20……リードフレーム。

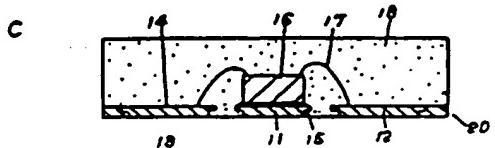
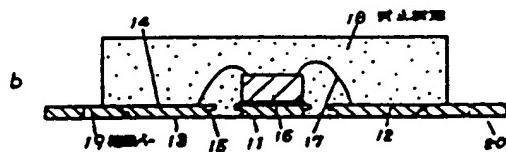
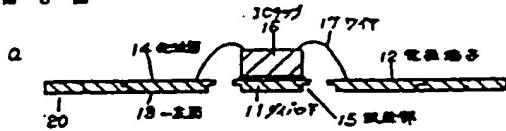
代理人の氏名 先取士 中尾 敏男 ほか1名

B 2 E

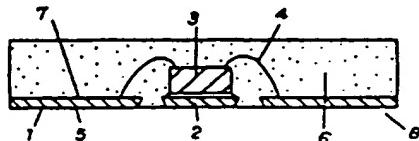
第 1 図



第 3 図



第 4 図



RESIN SEALED TYPE SEMICONDUCTOR DEVICE

Patent Number: JP4098864

Publication date: 1992-03-31

Inventor(s): TAKASAKI YUKAKO

Applicant(s): NEC KYUSHU LTD

Requested Patent: JP4098864

Application Number: JP19900216146 19900816

Priority Number(s):

IPC Classification: H01L23/50

EC Classification:

Equivalents:

Abstract

PURPOSE: To protect outer leads against deformation such as bend and to prevent soldering from deteriorating in reliability by a method wherein a support protruding from the side face of the outer lead toward an adjacent outer lead and insulators provided between the adjacent supports so as to connect them together are provided.

CONSTITUTION: A lead frame is provided with inner leads 2 provided around an island 1, outer leads 4 provided outside a resin sealed region 3 and connected to the inner leads 2, a tie bar 5 provided near the resin sealed region 3 to support the outer leads 4 interlinking them together, a support 6 whose ends are projected and recessed so as to enable them to be engaged with each other and which protrude from the side face of the outer lead 4 distant from a resin sealed region toward the adjacent outer lead 4, and an insulator 7 provided to be interposed between the adjacent supports 6 so as to interlink the supports 6 together. By this setup, leads can be protected against deformation caused by external shock and improved in reliability of soldering at mounting.

Data supplied from the esp@cenet database - I2